

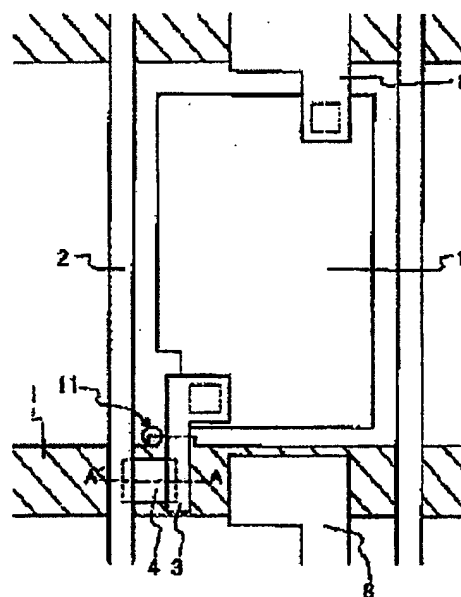
LIQUID CRYSTAL DISPLAY DEVICE

Patent number: JP2001159764
Publication date: 2001-06-12
Inventor: OTSUKA REI; INOIE AKITOSHI; TAKUBO YONEJI;
 ASADA SATOSHI; MAEDA HIROSHI
Applicant: MATSUSHITA ELECTRIC IND CO LTD
Classification:
 - International: G02F1/1365; G09F9/30
 - european:
Application number: JP19990343811 19991202
Priority number(s):

Abstract of JP2001159764

PROBLEM TO BE SOLVED: To prevent formation of a parasitic transistor between a source electrode and a drain electrode in a liquid crystal display device and to improve the yield without increasing the production cost.

SOLUTION: The liquid crystal display device has a thin film transistor arranged at the intersection of a scanning signal line and a video signal line and having a gate electrode 1 connected to the scanning signal line, a source electrode 2 connected to the video signal line and a drain electrode 3 connected to a pixel electrode 9. A gate edge part is formed on the gate electrode, protruding in the longitudinal direction where the source electrode and drain electrode extend parallel, from between the source electrode and drain electrode to the pixel electrode.



- | | |
|--------------|------------|
| 1.ゲート電極 | 8.前段ゲート容量 |
| 2.ソース電極 | 9.画素電極 |
| 3.ドレイン電極 | 11.ゲートエッジ部 |
| 4.エッチングストッパー | |

Data supplied from the esp@cenet database - Patent Abstracts of Japan

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-159764
(P2001-159764A)

(43) 公開日 平成13年6月12日 (2001.6.12)

| (51) Int.Cl. ⁷ | 識別記号 | F I | データ* (参考) |
|---------------------------|-------|---------------|-----------------|
| G 0 2 F 1/1365 | | G 0 9 F 9/30 | 3 3 8 2 H 0 9 2 |
| G 0 9 F 9/30 | 3 3 8 | G 0 2 F 1/136 | 5 0 0 5 C 0 9 4 |

審査請求 未請求 請求項の数2 O L (全 5 頁)

(21) 出願番号 特願平11-343811

(22) 出願日 平成11年12月2日 (1999. 12. 2)

(71) 出願人 00005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 大塚 玲

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 井家 亮俊

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 100095555

弁理士 池内 寛幸 (外1名)

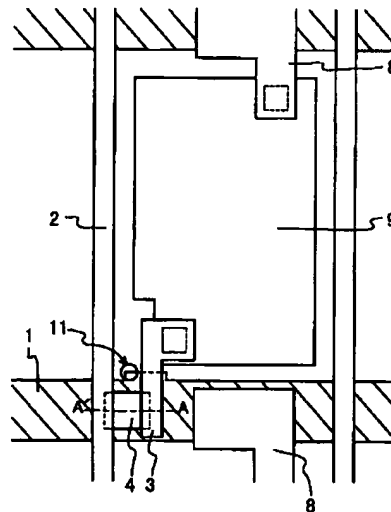
最終頁に続く

(54) 【発明の名称】 液晶表示素子

(57) 【要約】

【課題】 液晶表示素子において、ソース電極とドレイン電極の間に寄生トランジスタが形成されるのを防止し、生産コストを上げることなく、歩留まりを向上させる。

【解決手段】 走査信号線と映像信号線との交点に配置され、走査信号線に接続されたゲート電極1、映像信号線に接続されたソース電極2、および画素電極9に接続されたドレイン電極3を有する薄膜トランジスタを備えた液晶表示素子であって、ゲート電極に、前記ソース電極と前記ドレイン電極が平行に延伸する長手方向に、前記ソース電極と前記ドレイン電極の間から前記画素電極に向かって突出するゲートエッジ部を設けた。



- | | |
|--------------|------------|
| 1.ゲート電極 | 8.前段ゲート容量 |
| 2.ソース電極 | 9.画素電極 |
| 3.ドレイン電極 | 11.ゲートエッジ部 |
| 4.エッチングストッパー | |

【特許請求の範囲】

【請求項1】 複数本の走査信号線と、前記走査信号線と交差して設けられた映像信号線と、前記走査信号線と前記映像信号線とに囲まれて配置された画素電極と、前記走査信号線と前記映像信号線との交点に配置され、前記走査信号線に接続されたゲート電極、前記映像信号線に接続されたソース電極、および前記画素電極に接続されたドレイン電極を有する薄膜トランジスタとを備えた液晶表示素子において、

前記ゲート電極は、前記ソース電極と前記ドレイン電極とが平行に延伸する長手方向に、前記ソース電極と前記ドレイン電極との間から前記画素電極に向かって突出するゲートエッジ部を有することを特徴とする液晶表示素子。

【請求項2】 前記ゲートエッジ部は、少なくとも120°の角度を有するゲートコーナー部を備える請求項1記載の液晶表示素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶表示素子、特に、薄膜トランジスタを使用したアクティブマトリックス型液晶表示素子に関する。

【0002】

【従来の技術】近年、薄膜トランジスタを使用したアクティブマトリックス型液晶表示素子が、液晶表示パネル、あるいは液晶表示装置として商品化されている。例えば、図4に、液晶表示デバイスの一般的な液晶表示素子の一画素とその周辺を示す要部平面図を示す。なお、この従来例では、薄膜トランジスタとして、エッチングストッパーがソース電極とドレイン電極との間に設けられた逆スタガ型構造のトランジスタを使用している。

【0003】1は、走査信号線から延びている配線で、トランジスタ構造のゲート電極に当たる。また、ゲート電極1は、金属薄膜からなり、光を透過する膜厚を有する。例えば、ゲート電極1はA1膜からなり、150nmの膜厚を有する。2は、映像信号線から延びている配線で、トランジスタ構造のソース電極に当たる。また、3は、トランジスタ構造のドレイン電極に当たり、例えば、ソース電極2とドレイン電極3とは膜厚400nmのA1金属から形成される。4は、トランジスタの能力を決定するエッチングストッパーで、例えば、SiN膜からなり、100nmの膜厚を有する。8は、ゲート電極1の前段ゲートに対して容量を設けるための前段ゲート容量パターンである。前段ゲート容量8は、ソース電極2やドレイン電極3と同様にA1膜からなり、その膜厚は400nmである。9は、画素電極であり、ITO膜で形成している。また、11はゲートエッジ部であり、プロセス形成上、後述するa-Si膜6が残存し得る部分である。

【0004】図5は、図4のA-A'切断線に沿った断

面図である。図5において、5は、ゲート絶縁膜であり、例えば、SiN膜からなり、膜厚は200nmである。6は、a-Si膜からなる半導体層であり、50nmの膜厚を有する。7は、n+a-Si膜で、膜厚は50nmであり、a-Si膜6とソース電極2、あるいはa-Si膜6とドレイン電極3のオーミックコンタクトを形成するために設けられている。10は、ガラス基板である。ゲート絶縁膜5とa-Si膜6とエッチングストッパー4とは、連続成膜であり、プラズマCVDを使用して成膜される。

【0005】但し、ゲートエッジ部11では、a-Si膜6が垂直方向に100nmから250nmの膜厚で堆積している。その後、エッチングストッパー4をパターンニングした後、n+a-Si膜7をプラズマCVDで形成する。ここでも、ゲートエッジ部11では、n+a-Si膜7が垂直方向に100nmから250nmの膜厚で堆積している。（図6に、ゲートエッジ部の切断線B-B'に沿った断面図を示す。）

そして、ソース電極2とドレイン電極3のA1膜を成膜する。その後、ソース電極2とドレイン電極3のパターンニングを行い、図5に示す断面形状に形成する。ゲート電極1のエッジ断面形状は、ほぼ60度の角度で形成し、上記ソース電極2とドレイン電極3のパターンニングエッチング方法は、ゲートエッジ部11にa-Si膜6が残らないようにオーバーエッチ条件で行っている。

【0006】

【発明が解決しようとする課題】上記の従来方法では、半導体基板面積がある程度小さければ、ゲート電極1のテーパ形状や、ソース電極2とドレイン電極3のパターンニングエッチング条件のオーバーエッチ条件により、ゲートエッジ部11にa-Si膜6が残存しないようにすることで、設計通りのトランジスタが形成される。しかしながら、半導体基板面積が大きくなり、断面方向の加工精度が悪くなると、従来のような平面パターンであれば、ゲートエッジ部11にa-Si膜6が残存して、これにより、ソース電極とドレイン電極の間に寄生トランジスタが形成され、寄生電流の経路が形成されるため、設計通りの電気的特性を有するトランジスタが形成できなくなる。

【0007】また、今後、半導体基板面積が大きくなっても、形成する映像信号線の単位面積当たりの本数が増えたり、映像信号線と走査信号線に割り与える単位面積が狭くなったりすると、ゲート電極1の線幅が小さくなり、テーパ形状を形成することが困難になる。

【0008】また、ソース電極2とドレイン電極3のパターンニングエッチング条件の選択幅がなくなり、オーバーエッチ条件が設定できなくなることも、今後は考えられる。

【0009】そこで、本発明は、上記従来の問題点を解決するもので、ソース電極とドレイン電極の間に寄生ト

ランジスタが形成されるのを防止し、生産コストを上げることなく、歩留まりを向上させた液晶表示素子を提供することを目的とする。

【0010】

【課題を解決するための手段】前記の目的を達成するため、本発明の液晶表示素子は、複数本の走査信号線と、前記走査信号線と交差して設けられた映像信号線と、前記走査信号線と前記映像信号線に囲まれて配置された画素電極と、前記走査信号線と前記映像信号線との交点に配置され、前記走査信号線に接続されたゲート電極、前記映像信号線に接続されたソース電極、および前記画素電極に接続されたドレイン電極を有する薄膜トランジスタとを備えた液晶表示素子であって、前記ゲート電極は、前記ソース電極と前記ドレイン電極が平行に延伸する長手方向で、前記ソース電極と前記ドレイン電極の間で前記画素電極に向かって突出するゲートエッジ部を有することを特徴とする。

【0011】前記液晶表示素子において、前記ゲートエッジ部は、少なくとも 120° の角度を有するゲートコーナー部を備えることが好ましい。

【0012】上記構成によれば、ゲートエッジ部に平面パターンで角度をつけたゲートコーナー部を設けることにより、ゲートコーナー部がそこに形成される $a-Si$ 膜の電氣的接続を切断することで、ソース電極とドレイン電極の間に寄生トランジスタが形成されて寄生電流が流れるのを防止することができ、ゲート電極のテーパ形状やソース電極とドレイン電極のパターンニングエッチング条件のオーバーエッチ条件がなくても、プロセス条件のばらつきがあっても、また、半導体基板が大きくなっても、設計通りの電氣的特性を有する薄膜トランジスタを形成することが可能になる。これにより、生産コストを上げることなく、歩留まりを向上させることが可能になる。

【0013】

【発明の実施の形態】以下、本発明の実施の形態について、図面を参照しながら説明する。

【0014】図1は、本発明の一つの実施形態による液晶表示素子の一画素とその周辺を示す要部平面図であり、図2は、図1のA-A'切断線に沿った断面図であり、図3は、図1のゲートエッジ部11を部分的に拡大した平面図である。なお、本実施形態の説明において、薄膜トランジスタとして、逆スタガ型エッチングストッパー構造のトランジスタを用いるものとする。

【0015】図1において、1はゲート電極であり、走査信号線から延びている配線である。また、ゲート電極1は、例えば、A1膜からなり、 150nm の膜厚を有する。2は、ソース電極であり、映像信号線から延びている配線である。また、3は、ドレイン電極であり、例えば、ソース電極2とドレイン電極3とは 400nm の膜厚のA1金属から形成される。4は、トランジスタの

能力を決定するエッチングストッパーパターンで、例えば、 SiN 膜からなり、 100nm の膜厚を有する。8は、ゲート電極1の前段ゲートに対して容量を設けるための前段ゲート容量パターンである。前段ゲート容量パターン8は、ソース電極2やドレイン電極3と同様にA1膜からなり、 400nm の膜厚を有する。9は、画素電極であり、 iTO 膜で形成している。また、11は、ソース電極2とドレイン電極3の間で画素電極9に向かって突出するゲートエッジ部であり、プロセス形成上、後述する $a-Si$ 膜6が残存し得る部分である。

【0016】図2において、5は、ゲート絶縁膜であり、 SiN 膜からなり、 400nm の膜厚を有する。6は、 $a-Si$ 膜であり、 50nm の膜厚を有する。7は、 $n+a-Si$ 膜であり、 50nm の膜厚を有し、 $a-Si$ 膜6とソース電極2あるいは、 $a-Si$ 膜6とドレイン電極3のオーミックコンタクトを形成するために設けられている。10はガラス基板である。

【0017】次に、上記構成の各膜を形成するプロセスについて説明する。

【0018】まず、ガラス基板10の上にA1をスパッター成膜で形成し、フォトリソグラフィー手法とエッチング手法を駆使し、断面エッジ部を 60° のテーパを付けてゲート電極1を加工する。次に、ゲート絶縁膜5、 $a-Si$ 膜6、およびエッチングストッパー4を、プラズマCVD真空装置の中で連続成膜により形成する。その後、エッチングストッパー4についてののみ、上記と同様のフォトリソグラフィー手法とエッチング手法を駆使してパターンニングを行う。その後、 $a-Si$ 膜6の表面の酸化物を除去し、 $n+a-Si$ 膜7を、プラズマCVD真空装置の中で、 $a-Si$ 膜6とのオーミックコンタクトを形成できるように成膜する。最後に、ソース電極2とドレイン電極3のA1薄膜をスパッター装置で 400nm の膜厚に成膜し、上記と同様のフォトリソグラフィー手法とエッチング手法で、トランジスタ部ではA1金属と $n+a-Si$ 膜7を浸食させ、それ以外の部分はA1金属と $n+a-Si$ 膜7と $a-Si$ 膜6を侵食させる。

【0019】図3は、図1のゲートエッジ部11の拡大図であり、従来の技術として図6に示したように、ゲートテーパ部の上のゲート絶縁膜5のエッジ部に、 $a-Si$ 膜6が残存している様子を示している。12は、ゲートエッジ部11に設けられたゲートコーナー部である。13は、上記 $a-Si$ 膜6の残査である。残査 $a-Si$ 膜13はゲートエッジ部11のゲート直線部14には残存しているが、ゲートコーナー部12には断線部が走り、残存していない。これにより、ソース電極2とドレイン電極3の電圧差が生じ、ゲートエッジ部11に電圧差が生じても電流が流れることはなくなる。よって、トランジスタの寄生電流を排除することができる。

【0020】なお、本実施形態において、ゲート電極1

をA1膜で形成し、ソース電極2とドレイン電極3を膜厚400nmのA1金属で形成したが、薄膜トランジスタ構造であれば、A1合金やその他の低抵抗金属合金を用いて形成したとしても、本発明と同様な効果が得られる。

【0021】また、本実施形態では、逆スタガ型エッチングストッパー構造の薄膜トランジスタについて説明したが、それ以外の構造、例えば、チャンネルエッチング構造の薄膜トランジスタでも本発明と同様な効果が得られる。

【0022】

【発明の効果】以上説明したように、本発明の液晶表示素子によれば、ソース電極とドレイン電極の間に寄生トランジスタが発生するのを防止することができ、工程数を増やすことなく、生産コストも上げずに歩留まりを向上させることが可能になる。

【図面の簡単な説明】

【図1】 本発明の一つの実施形態による液晶表示素子の一画素とその周辺を示す要部平面図

【図2】 図1のA-A'切断線に沿った断面図

【図3】 図1のゲートエッジ部11を部分的に拡大した

た平面図

【図4】 従来の液晶表示素子の一画素とその周辺を示す要部平面図

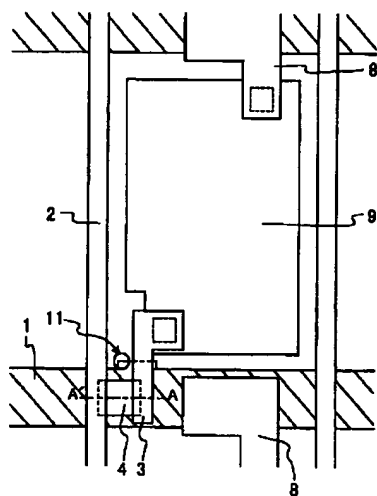
【図5】 図4のA-A'切断線に沿った断面図

【図6】 図4のB-B'切断線に沿った断面図

【符号の説明】

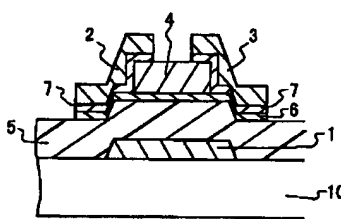
- 1 ゲート電極
- 2 ソース電極
- 3 ドレイン電極
- 4 エッチングストッパー
- 5 ゲート絶縁膜
- 6 a-Si膜
- 7 n+a-Si膜
- 8 前段ゲート容量
- 9 画素電極
- 10 ガラス基板
- 11 ゲートエッジ部
- 12 ゲートコーナー部
- 13 残査a-Si膜
- 14 ゲート直線部

【図1】

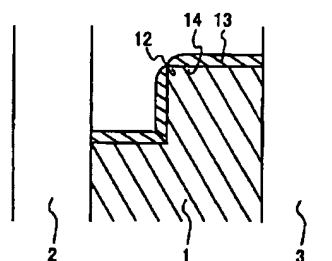


- | | |
|--------------|------------|
| 1.ゲート電極 | 8.前段ゲート容量 |
| 2.ソース電極 | 9.画素電極 |
| 3.ドレイン電極 | 11.ゲートエッジ部 |
| 4.エッチングストッパー | |

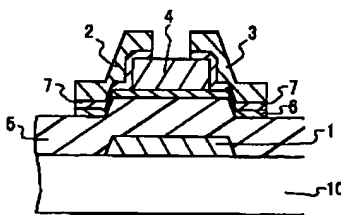
【図2】



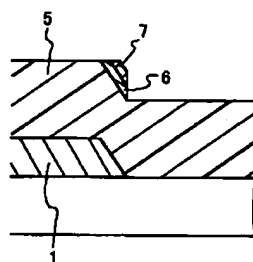
【図3】



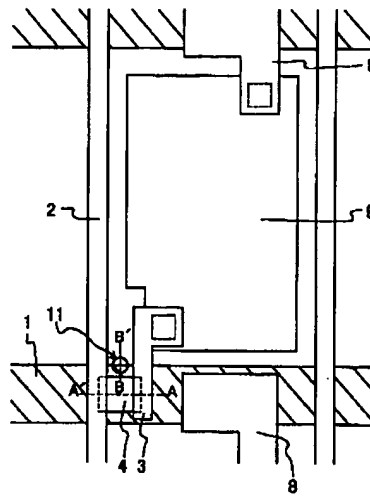
【図5】



【図6】



【図4】



- | | |
|---------------|------------|
| 1.ゲート電極 | 8.前段ゲート容量 |
| 2.ソース電極 | 9.漏れ電極 |
| 3.ドレイン電極 | 11.ゲートエッジ部 |
| 4.エッチングストップパー | |

フロントページの続き

(72)発明者 田窪 米治
大阪府門真市大字門真1006番地 松下電器
産業株式会社内
(72)発明者 浅田 智
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 前田 宏
大阪府門真市大字門真1006番地 松下電器
産業株式会社内
Fターム(参考) 2H092 JA26 JA38 JA41 JB22 JB31
JB61 MA07 MA13 MA17 NA23
NA29
5C094 AA25 AA42 AA43 AA48 BA03
BA43 CA19 DA13 DB04 EA04
EA05 EA10 EB02 FA01 FB12
FB14 FB15 JA09